

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-191240

(43)Date of publication of application : 23.07.1996

(51)Int.Cl.

H03K 17/22

G01R 19/165

G05F 1/10

(21)Application number : 07-001958

(71)Applicant : MITSUMI ELECTRIC CO LTD

(22)Date of filing : 10.01.1995

(72)Inventor : SHIMADA HARUO

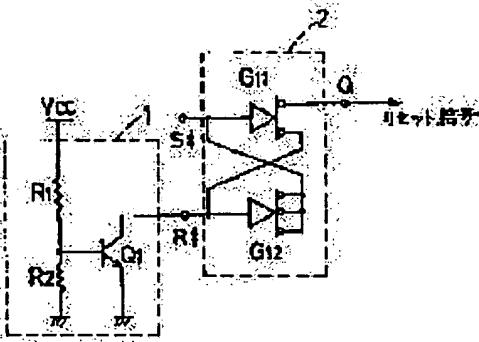
TAKAMATSU SEIJI

## (54) RESET CIRCUIT

### (57)Abstract:

PURPOSE: To attain a reset circuit constituted of an I2L capable of generating a reset signal only at the time of turning on a power supply and disabling the generation of a reset signal when the power supply is turned off.

CONSTITUTION: A level detecting circuit 1 consisting of resistors R1, R2 and a transistor(TR) Q1 outputs a low level detection signal when power supply voltage Vcc is more than a 2nd level. One output terminal of an inverter G11 in the I2L is connected to an input terminal of an inverter G12 in the I2L and three output terminals of the inverter G12 are connected to the input terminal of the inverter G11 to constitute an RS flip flop. The RS flip flop constituted of the inverters G11, G12 generates a high level reset signal from an output terminal Q during a period from the arrival of power supply voltage at a 1st level up to the arrival at the 2nd level at the ON of the power supply and does not generate a reset signal when the power supply is turned off.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-191240

(43)公開日 平成8年(1996)7月23日

(51) Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 03K 17/22	D 9184-5K			
G 01R 19/165	K			
	D			
G 05F 1/10	304 H			

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号 特願平7-1958

(22)出願日 平成7年(1995)1月10日

(71)出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72)発明者 島田 晴夫

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

(72)発明者 ▲高▼松 清司

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

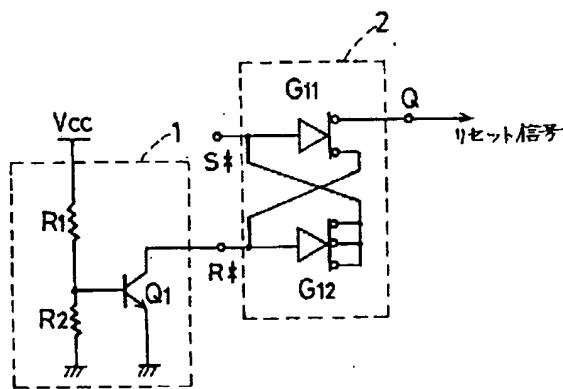
(74)代理人 弁理士 伊東 忠彦

(54)【発明の名称】 リセット回路

(57)【要約】

【目的】 本発明は  $I^2 L$  で構成したリセット回路に関し、電源投入時にリセット信号を生成し、電源断時にはリセット信号を生成しないリセット回路を実現することを目的とする。

【構成】 抵抗  $R_1$ 、 $R_2$ 、トランジスタ  $Q_1$  からなるレベル検出回路は、電源電圧  $V_{cc}$  が第2のレベル以上で、ローレベルの検出信号を出力する。 $I^2 L$  のインバータ  $G_{11}$  の一つの出力端子が  $I^2 L$  のインバータ  $G_{12}$  の入力端子に接続され、インバータ  $G_{12}$  の3つの出力端子がインバータ  $G_{11}$  の入力端子に接続されて、RSフリップフロップが構成されている。インバータ  $G_{11}$ 、 $G_{12}$  からなるRSフリップフロップは、電源オン時には、電源電圧が第1のレベルに達してから第2のレベルに達するまでの間、Q出力端子より、ハイレベルのリセット信号を生成し、電源オフ時にはリセット信号を生成しない。



## 【特許請求の範囲】

【請求項1】 電源電圧が第2のレベル以上で、ローレベルの検出信号を出力するレベル検出回路と、  
1又は2以上の出力端子を有し、電源電圧が前記第2のレベルより低い第1のレベル以上で動作する $I^2L$ 構成の第1のインバータ回路と、  
入力端子が前記レベル検出回路の出力端子及び前記第1のインバータ回路の出力端子の一つに接続され、1又は2以上の出力端子のうち、ローレベル時の出力電流値が前記入力端子に接続された第1のインバータ回路の出力端子よりも大きい出力端子が前記第1のインバータ回路の入力端子に接続されており、電源電圧が前記第1のレベル以上で動作する $I^2L$ 構成の第2のインバータ回路とを有し、

前記第1のインバータ回路の出力端子又は第2のインバータ回路の出力端子よりリセット信号を取り出すことを特徴とするリセット回路。

【請求項2】 前記第1のインバータ回路は、  
ベースが接地され、エミッタに所定値の抵抗を介して電源電圧が供給され、電源電圧が第1のレベル以上でオンとなる第1の電流注入用トランジスタと、ベースが入力端子及び前記第1の電流注入用トランジスタのコレクタに接続され、エミッタが接地され、1又は2以上のコレクタを出力端子とした第1の反転用トランジスタとからなり、

前記第2のインバータ回路は、  
ベースが接地され、エミッタに所定値の抵抗を介して電源電圧が供給され、電源電圧が第1のレベル以上でオンとなる第2の電流注入用トランジスタと、ベースが入力端子及び前記第2の電流注入用トランジスタのコレクタに接続され、エミッタが接地され、2以上のコレクタを共通接続して前記第1のインバータ回路の入力端子に接続される出力端子とした第2の反転用トランジスタとからなることを特徴とする請求項1記載のリセット回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はリセット回路に係り、特に、電源投入時にデジタル回路をリセットするリセット信号を生成する、 $I^2L$ で構成したリセット回路に関する。

## 【0002】

【従来の技術】 図6は、 $I^2L$  (Integrated Injection Logic) で構成した従来の一例のリセット回路の回路図を示す。図6のリセット回路は、抵抗 $R_1$ 、 $R_2$ 、及びトランジスタ $Q_1$ からなるレベル検出回路1と、 $I^2L$ のゲート $G_1$ 、 $G_2$ から構成される。ゲート $G_1$ 、 $G_2$ は、 $I^2L$ のインバータである。

【0003】  $I^2L$ のインバータは、図7に示すように、P N P型のインジェクタ用トランジスタ $Q_A$ 、抵抗 $R_A$ 、N P N型のインバータ用トランジスタ $Q_B$ から構成される。トランジスタ $Q_A$ のベースは接地され、エミッタは抵抗 $R_A$ を介して電源電圧 $V_{cc}$ の電源端子に接続されている。トランジスタ $Q_B$ のエミッタは接地され、ベースはトランジスタ $Q_A$ のコレクタ及びインバータの入力端子に接続されている。トランジスタ $Q_B$ は、マルチコレクタとして夫々のコレクタから出力信号を取り出すことができる。

【0004】 インバータの入力端子がオープン又は0.6V以上の高い電圧（ハイレベル（“H”））の場合は、トランジスタ $Q_A$ から電流 $I_{bb}$ がトランジスタ $Q_B$ にベース電流として供給されて、トランジスタ $Q_B$ がオンとなる。通常、トランジスタ $Q_B$ のコレクタ（インバータの出力端子）は、後段の $I^2L$ のゲート（インバータ）の入力端子に接続されており、トランジスタ $Q_B$ がオンのとき出力電圧は、ほぼ0Vのローレベル（“L”）となる。

【0005】 インバータの入力電圧が0V（ローレベル（“L”））の場合は、トランジスタ $Q_B$ がオフとなる。このとき、トランジスタ $Q_B$ のコレクタ（インバータの出力端子）が接続されている後段の $I^2L$ のゲートの入力端子の電圧は、約0.6Vとなる。即ち、インバータの出力電圧は約0.6Vの“H”となる。

【0006】 次に、図6のリセット回路の動作について説明する。図8は、電源オン時と電源オフ時に生成されるリセットパルス説明図を示す。なお、ゲート $G_2$ の出力端子は、リセット信号を供給すべき $I^2L$ のインバータの入力端子に接続されているものとする。

【0007】 先ず、電源オン時について考える。電源がオンされると、電源電圧 $V_{cc}$ は、図8の波形W1に示すように時間とともに上昇してゆく。 $V_{cc}=0.6V$ に達すると、ゲート $G_1$ 、 $G_2$ とその他のゲートのインジェクタ用トランジスタ $Q_1$ の電流 $I_{bb}$ が流れ始める。この時点では、トランジスタ $Q_1$ はオフのままである。

【0008】 このとき、ゲート $G_1$ の入力電圧が“H”で出力電圧が“L”となり、ゲート $G_2$ は、内部のトランジスタ $Q_B$ がオフで出力端子は“H”的状態となる。ゲート $G_2$ の出力端子は、後段の $I^2L$ のインバータの入力端子に接続されているため、この後段のインバータのトランジスタ $Q_B$ がオンとなり、リセットパルスの“H”的電圧は、約0.6Vとなる。

【0009】 この後、電源電圧 $V_{cc}$ は、更に上昇するが、リセットパルスの“H”的電圧は、0.6Vを維持する。電源電圧 $V_{cc}$ が、 $V_{cc}=(R_1+R_2)/R_2 \times 0.6V$ に達すると、トランジスタ $Q_1$ がオンとなる。このとき、ゲート $G_1$ の入力電圧が“L”で出力電圧が“H”となり、ゲート $G_2$ は、内部のトランジスタ $Q_B$ がオンで出力電圧は“L”的ほぼ0Vとなる。この後、電源電圧 $V_{cc}$ は、規定電圧 $V_{cc0}$ （例えば、9V）まで上昇して一定値となる。

【0010】 上記のように、電源オン時のリセットパル

スは、図8の波形W<sub>3</sub>に示す方形波となる。次に、電源オフ時について考える。電源がオフされると、電源電圧V<sub>cc</sub>は、図8の波形W<sub>2</sub>に示すように時間とともに下降してゆく。電源電圧V<sub>cc</sub>が、 $V_{cc} = ((R_1 + R_2) / R_2) \times 0.6$  Vに達すると、トランジスタQ<sub>1</sub>がオフとなる。このとき、ゲートG<sub>1</sub>の入力電圧が“H”で出力電圧が“L”となり、ゲートG<sub>2</sub>の出力電圧は“H”的約0.6 Vとなる。

【0011】この後、電源電圧V<sub>cc</sub>は、更に下降するが、リセットパルスの“H”的電圧は、0.6 Vを維持する。電源電圧V<sub>cc</sub>が、V<sub>cc</sub> = 0.6 Vまで下降すると、ゲートG<sub>1</sub>、G<sub>2</sub>とその他のゲートのインジェクタ用トランジスタQ<sub>A</sub>の電流I<sub>111</sub>が0となり、各ゲートのトランジスタQ<sub>B</sub>はオフとなる。このため、ゲートG<sub>2</sub>の出力電圧は、“L”的0 Vとなる。

【0012】上記のように、電源オフ時のリセットパルスは、図8の波形W<sub>4</sub>に示す方形波となる。図6のリセット回路は、I<sup>2</sup> Lで構成したデジタル回路中のフリップフロップ等をリセットするためのリセット回路として使用される。

【0013】例えば、ビデオ信号等を切り換えるアナログスイッチ回路とI<sup>2</sup> Lで構成したデジタル回路とを同一チップ上に構成したビデオスイッチIC内のリセット回路に使用される。

#### 【0014】

【発明が解決しようとする課題】デジタル回路では、電源オフ時にリセットが行われると不都合が生じる場合がある。例えば、デジタル回路内のフリップフロップの出力データにより、アナログ回路の状態を制御する回路においては、電源オフ時にアナログ回路が完全に動作停止する前にフリップフロップがリセットされると、アナログ回路の状態が変化してアナログ回路からノイズが発生する問題が生じる。

【0015】図6の従来のリセット回路は、電源オフ時にもリセット信号を生成するため、上記のような電源オフ時のリセットで不都合が生じる回路に適用すると問題が生じる。例えば、前記ビデオスイッチIC内のリセット回路に使用した場合、電源オフ時にアナログスイッチの状態が切り換わって、ノイズが発生する問題が生じる。

【0016】本発明は、上記の点に鑑みてなされたもので、電源投入時にリセット信号を生成し、電源断時にはリセット信号を生成しないリセット回路を提供することを目的とする。

#### 【0017】

【課題を解決するための手段】請求項1の発明は、電源電圧が第2のレベル以上で、ローレベルの検出信号を出力するレベル検出回路と、1又は2以上の出力端子を有し、電源電圧が前記第2のレベルより低い第1のレベル以上で動作するI<sup>2</sup> L構成の第1のインバータ回路と、

10  
11  
12  
13  
14  
15  
16  
17  
18  
19  
20  
21  
22  
23  
24  
25  
26  
27  
28  
29  
30  
31  
32  
33  
34  
35  
36  
37  
38  
39  
40  
41  
42  
43  
44  
45  
46  
47  
48  
49  
50  
51  
52  
53  
54  
55  
56  
57  
58  
59  
60  
61  
62  
63  
64  
65  
66  
67  
68  
69  
70  
71  
72  
73  
74  
75  
76  
77  
78  
79  
80  
81  
82  
83  
84  
85  
86  
87  
88  
89  
90  
91  
92  
93  
94  
95  
96  
97  
98  
99  
100  
101  
102  
103  
104  
105  
106  
107  
108  
109  
110  
111  
112  
113  
114  
115  
116  
117  
118  
119  
120  
121  
122  
123  
124  
125  
126  
127  
128  
129  
130  
131  
132  
133  
134  
135  
136  
137  
138  
139  
140  
141  
142  
143  
144  
145  
146  
147  
148  
149  
150  
151  
152  
153  
154  
155  
156  
157  
158  
159  
160  
161  
162  
163  
164  
165  
166  
167  
168  
169  
170  
171  
172  
173  
174  
175  
176  
177  
178  
179  
180  
181  
182  
183  
184  
185  
186  
187  
188  
189  
190  
191  
192  
193  
194  
195  
196  
197  
198  
199  
200  
201  
202  
203  
204  
205  
206  
207  
208  
209  
210  
211  
212  
213  
214  
215  
216  
217  
218  
219  
220  
221  
222  
223  
224  
225  
226  
227  
228  
229  
230  
231  
232  
233  
234  
235  
236  
237  
238  
239  
240  
241  
242  
243  
244  
245  
246  
247  
248  
249  
250  
251  
252  
253  
254  
255  
256  
257  
258  
259  
2510  
2511  
2512  
2513  
2514  
2515  
2516  
2517  
2518  
2519  
2520  
2521  
2522  
2523  
2524  
2525  
2526  
2527  
2528  
2529  
2530  
2531  
2532  
2533  
2534  
2535  
2536  
2537  
2538  
2539  
2540  
2541  
2542  
2543  
2544  
2545  
2546  
2547  
2548  
2549  
2550  
2551  
2552  
2553  
2554  
2555  
2556  
2557  
2558  
2559  
25510  
25511  
25512  
25513  
25514  
25515  
25516  
25517  
25518  
25519  
25520  
25521  
25522  
25523  
25524  
25525  
25526  
25527  
25528  
25529  
25530  
25531  
25532  
25533  
25534  
25535  
25536  
25537  
25538  
25539  
25540  
25541  
25542  
25543  
25544  
25545  
25546  
25547  
25548  
25549  
25550  
25551  
25552  
25553  
25554  
25555  
25556  
25557  
25558  
25559  
25560  
25561  
25562  
25563  
25564  
25565  
25566  
25567  
25568  
25569  
25570  
25571  
25572  
25573  
25574  
25575  
25576  
25577  
25578  
25579  
25580  
25581  
25582  
25583  
25584  
25585  
25586  
25587  
25588  
25589  
25590  
25591  
25592  
25593  
25594  
25595  
25596  
25597  
25598  
25599  
255100  
255101  
255102  
255103  
255104  
255105  
255106  
255107  
255108  
255109  
255110  
255111  
255112  
255113  
255114  
255115  
255116  
255117  
255118  
255119  
255120  
255121  
255122  
255123  
255124  
255125  
255126  
255127  
255128  
255129  
255130  
255131  
255132  
255133  
255134  
255135  
255136  
255137  
255138  
255139  
255140  
255141  
255142  
255143  
255144  
255145  
255146  
255147  
255148  
255149  
255150  
255151  
255152  
255153  
255154  
255155  
255156  
255157  
255158  
255159  
255160  
255161  
255162  
255163  
255164  
255165  
255166  
255167  
255168  
255169  
255170  
255171  
255172  
255173  
255174  
255175  
255176  
255177  
255178  
255179  
255180  
255181  
255182  
255183  
255184  
255185  
255186  
255187  
255188  
255189  
255190  
255191  
255192  
255193  
255194  
255195  
255196  
255197  
255198  
255199  
255200  
255201  
255202  
255203  
255204  
255205  
255206  
255207  
255208  
255209  
255210  
255211  
255212  
255213  
255214  
255215  
255216  
255217  
255218  
255219  
255220  
255221  
255222  
255223  
255224  
255225  
255226  
255227  
255228  
255229  
255230  
255231  
255232  
255233  
255234  
255235  
255236  
255237  
255238  
255239  
255240  
255241  
255242  
255243  
255244  
255245  
255246  
255247  
255248  
255249  
255250  
255251  
255252  
255253  
255254  
255255  
255256  
255257  
255258  
255259  
255260  
255261  
255262  
255263  
255264  
255265  
255266  
255267  
255268  
255269  
255270  
255271  
255272  
255273  
255274  
255275  
255276  
255277  
255278  
255279  
255280  
255281  
255282  
255283  
255284  
255285  
255286  
255287  
255288  
255289  
255290  
255291  
255292  
255293  
255294  
255295  
255296  
255297  
255298  
255299  
255300  
255301  
255302  
255303  
255304  
255305  
255306  
255307  
255308  
255309  
255310  
255311  
255312  
255313  
255314  
255315  
255316  
255317  
255318  
255319  
255320  
255321  
255322  
255323  
255324  
255325  
255326  
255327  
255328  
255329  
255330  
255331  
255332  
255333  
255334  
255335  
255336  
255337  
255338  
255339  
255340  
255341  
255342  
255343  
255344  
255345  
255346  
255347  
255348  
255349  
255350  
255351  
255352  
255353  
255354  
255355  
255356  
255357  
255358  
255359  
255360  
255361  
255362  
255363  
255364  
255365  
255366  
255367  
255368  
255369  
255370  
255371  
255372  
255373  
255374  
255375  
255376  
255377  
255378  
255379  
255380  
255381  
255382  
255383  
255384  
255385  
255386  
255387  
255388  
255389  
255390  
255391  
255392  
255393  
255394  
255395  
255396  
255397  
255398  
255399  
255400  
255401  
255402  
255403  
255404  
255405  
255406  
255407  
255408  
255409  
255410  
255411  
255412  
255413  
255414  
255415  
255416  
255417  
255418  
255419  
255420  
255421  
255422  
255423  
255424  
255425  
255426  
255427  
255428  
255429  
255430  
255431  
255432  
255433  
255434  
255435  
255436  
255437  
255438  
255439  
255440  
255441  
255442  
255443  
255444  
255445  
255446  
255447  
255448  
255449  
255450  
255451  
255452  
255453  
255454  
255455  
255456  
255457  
255458  
255459  
255460  
255461  
255462  
255463  
255464  
255465  
255466  
255467  
255468  
255469  
255470  
255471  
255472  
255473  
255474  
255475  
255476  
255477  
255478  
255479  
255480  
255481  
255482  
255483  
255484  
255485  
255486  
255487  
255488  
255489  
255490  
255491  
255492  
255493  
255494  
255495  
255496  
255497  
255498  
255499  
255500  
255501  
255502  
255503  
255504  
255505  
255506  
255507  
255508  
255509  
255510  
255511  
255512  
255513  
255514  
255515  
255516  
255517  
255518  
255519  
255520  
255521  
255522  
255523  
255524  
255525  
255526  
255527  
255528  
255529  
255530  
255531  
255532  
255533  
255534  
255535  
255536  
255537  
255538  
255539  
255540  
255541  
255542  
255543  
255544  
255545  
255546  
255547  
255548  
255549  
255550  
255551  
255552  
255553  
255554  
255555  
255556  
255557  
255558  
255559  
255560  
255561  
255562  
255563  
255564  
255565  
255566  
255567  
255568  
255569  
255570  
255571  
255572  
255573  
255574  
255575  
255576  
255577  
255578  
255579  
255580  
255581  
255582  
255583  
255584  
255585  
255586  
255587  
255588  
255589  
255590  
255591  
255592  
255593  
255594  
255595  
255596  
255597  
255598  
255599  
2555100  
2555101  
2555102  
2555103  
2555104  
2555105  
2555106  
2555107  
2555108  
2555109  
2555110  
2555111  
2555112  
2555113  
2555114  
2555115  
2555116  
2555117  
2555118  
2555119  
2555120  
2555121  
2555122  
2555123  
2555124  
2555125  
2555126  
2555127  
2555128  
2555129  
2555130  
2555131  
2555132  
2555133  
2555134  
2555135  
2555136  
2555137  
2555138  
2555139  
2555140  
2555141  
2555142  
2555143  
2555144  
2555145  
2555146  
2555147  
2555148  
2555149  
2555150  
2555151  
2555152  
2555153  
2555154  
2555155  
2555156  
2555157  
2555158  
2555159  
2555160  
2555161  
2555162  
2555163  
2555164  
2555165  
2555166  
2555167  
2555168  
2555169  
2555170  
2555171  
2555172  
2555173  
2555174  
2555175  
2555176  
2555177  
2555178  
2555179  
2555180  
2555181  
2555182  
2555183  
2555184  
2555185  
2555186  
2555187  
2555188  
2555189  
2555190  
2555191  
2555192  
2555193  
2555194  
2555195  
2555196  
2555197  
2555198  
2555199  
2555200  
2555201  
2555202  
2555203  
2555204  
2555205  
2555206  
2555207  
2555208  
2555209  
2555210  
2555211  
2555212  
2555213  
2555214  
2555215  
2555216  
2555217  
2555218  
2555219  
2555220  
2555221  
2555222  
2555223  
2555224  
2555225  
2555226  
2555227  
2555228  
2555229  
2555230  
2555231  
2555232  
2555233  
2555234  
2555235  
2555236  
2555237  
2555238  
2555239  
2555240  
2555241  
2555242  
2555243  
2555244  
2555245  
2555246  
2555247  
2555248  
2555249  
2555250  
2555251  
2555252  
2555253  
2555254  
2555255  
2555256  
2555257  
2555258  
2555259  
2555260  
2555261  
2555262  
2555263  
2555264  
2555265  
2555266  
2555267  
2555268  
2555269  
2555270  
2555271  
2555272  
2555273  
2555274  
2555275  
2555276  
2555277  
2555278  
2555279  
2555280  
2555281  
2555282  
2555283  
2555284  
2555285  
2555286  
2555287  
2555288  
2555289  
2555290  
2555291  
2555292  
2555293  
2555294  
2555295  
2555296  
2555297  
2555298  
2555299  
2555300  
2555301  
2555302  
2555303  
2555304  
2555305  
2555306  
2555307  
2555308  
2555309  
2555310  
2555311  
2555312  
2555313  
2555314  
2555315  
2555316  
2555317  
2555318  
2555319  
2555320  
2555321  
2555322  
2555323  
2555324  
2555325  
2555326  
2555327  
2555328  
2555329  
2555330  
2555331  
2555332  
2555333  
2555334  
2555335  
2555336  
2555337  
2555338  
2555339  
2555340  
2555341  
2555342  
2555343  
2555344  
2555345  
2555346  
2555347  
2555348  
2555349  
2555350  
2555351  
2555352  
2555353  
2555354  
2555355  
2555356  
2555357  
2555358  
2555359  
2555360  
2555361  
2555362  
2555363  
2555364  
2555365  
2555366  
2555367  
2555368  
2555369  
2555370  
2555371  
2555372  
2555373  
2555374  
2555375  
2555376  
2555377  
2555378  
2555379  
2555380  
2555381  
2555382  
2555383  
2555384  
2555385  
2555386  
2555387  
2555388  
2555389  
2555390  
2555391  
2555392  
2555393  
2555394  
2555395  
2555396  
2555397  
2555398  
2555399  
2555400  
2555401  
2555402  
2555403  
2555404  
2555405  
2555406  
2555407  
2555408  
2555409  
2555410  
2555411  
2555412  
2555413  
2555414  
2555415  
2555416  
2555417  
2555418  
2555419  
2555420  
2555421  
2555422  
2555423  
2555424  
2555425  
2555426  
2555427  
2555428  
2555429  
2555430  
2555431  
2555432  
2555433  
2555434  
2555435  
2555436  
2555437  
2555438  
2555439  
2555440  
2555441  
2555442  
2555443  
2555444  
2555445  
2555446  
2555447  
2555448  
2555449  
2555450  
2555451  
2555452  
2555453  
2555454  
2555455  
2555456  
2555457  
2555458  
2555459  
2555460  
2555461  
2555462  
2555463  
2555464  
2555465  
2555466  
2555467  
2555468  
2555469  
2555470  
2555471  
2555472  
2555473  
2555474  
2555475  
2555476  
2555477  
2555478  
2555479  
2555480  
2555481  
2555482  
2555483  
2555484  
2555485  
2555486  
2555487  
2555488  
2555489  
2555490  
2555491  
2555492  
2555493  
2555494  
2555495  
2555496  
2555497  
2555498  
2555499  
2555500  
2555501  
2555502  
2555503  
2555504  
2555505  
2555506  
2555507  
2555508  
2555509  
2555510  
2555511  
2555512  
2555513  
2555514  
2555515  
2555516  
2555517  
2555518  
2555519  
2555520  
2555521  
2555522  
2

5  
バータ回路の入力電圧はハイレベルとなる。しかし、第1及び第2のインバータ回路によりRSフリップフロップを構成しており、第2のインバータ回路の入力端子がRSフリップフロップの負論理のリセット入力であるため、第1及び第2のインバータ回路の状態は変化しない。このため、第1のインバータ回路の出力電圧はローレベルを維持し、ハイレベルのリセット信号は出力されない。電源電圧が第1のレベルまで下降した時点でも、第1及び第2のインバータ回路の状態は変化しない。

【0022】このように、請求項1の発明のリセット回路は、電源投入時にのみリセット信号を生成し、電源断時にはリセット信号を生成しない。請求項2の発明では、同一特性の第1及び第2の電流注入用トランジスタと同一特性の第1及び第2の反転用トランジスタを用い、第1の反転用トランジスタのコレクタの一つを第2のインバータ回路の入力端子に接続し、第2の反転用トランジスタの複数のコレクタを共通接続して第1のインバータ回路の入力端子に接続した簡単な回路で、電源投入時にリセット信号を生成する状態となるRSフリップフロップを構成できる。このため、電源投入時にのみリセット信号を生成するリセット回路を容易に構成することを可能とする。

#### 【0023】

【実施例】図1は本発明の一実施例のI<sup>2</sup> Lで構成したリセット回路の回路図を示す。図1において、図6と同一構成部分には、同一符号を付し適宜説明を省略する。図1のリセット回路は、抵抗R<sub>1</sub>、R<sub>2</sub>及びトランジスタQ<sub>1</sub>からなるレベル検出回路1と、I<sup>2</sup> LのゲートG<sub>11</sub>（第1のインバータ回路）及びゲートG<sub>12</sub>（第2のインバータ回路）とから構成されている。

【0024】ゲートG<sub>11</sub>、G<sub>12</sub>は、I<sup>2</sup> Lのインバータである。ゲートG<sub>12</sub>の3つの出力端子がゲートG<sub>11</sub>の入力端子に接続され、ゲートG<sub>11</sub>の出力端子の一つがゲートG<sub>11</sub>の入力端子に接続されており、ゲートG<sub>11</sub>、G<sub>12</sub>によりRSフリップフロップ2が構成されている。

【0025】ゲートG<sub>11</sub>の入力端子がRSフリップフロップ2の負論理のセット入力端子S\*に相当し、ゲートG<sub>12</sub>の入力端子が負論理のリセット入力端子R\*に相当し、ゲートG<sub>11</sub>の出力端子がQ出力端子に相当する。レベル検出回路1のトランジスタQ<sub>1</sub>のコレクタは、ゲートG<sub>12</sub>の入力端子に接続されている。“H”アクティブのリセット信号は、ゲートG<sub>11</sub>の一方の出力端子（Q出力端子）から取り出され、I<sup>2</sup> Lのゲート（インバータ）の入力端子に供給される。

【0026】図2は、図1のゲートG<sub>11</sub>、G<sub>12</sub>の内部をトランジスタのレベルに展開した回路図を示す。ゲートG<sub>11</sub>は、図7のインバータと同様の構成であり、インジエクタ用トランジスタQ<sub>A1</sub>（第1の電流注入用トランジスタ）、抵抗R<sub>A1</sub>、インバータ用トランジスタQ<sub>B1</sub>（第1の反転用トランジスタ）から構成される。ゲートG<sub>12</sub> 50

は、ゲートG<sub>11</sub>と同様に、インジエクタ用トランジスタQ<sub>A2</sub>（第2の電流注入用トランジスタ）、抵抗R<sub>A2</sub>、インバータ用トランジスタQ<sub>B2</sub>（第2の反転用トランジスタ）から構成される。

【0027】トランジスタQ<sub>B2</sub>の3つのコレクタ（ゲートG<sub>12</sub>の出力端子）は、共通接続されて、トランジスタQ<sub>B1</sub>のベース（ゲートG<sub>11</sub>の入力端子）に接続されている。トランジスタQ<sub>B2</sub>のベース（ゲートG<sub>12</sub>の入力端子）は、トランジスタQ<sub>1</sub>のコレクタに接続されると共に、トランジスタQ<sub>B1</sub>のコレクタ（ゲートG<sub>11</sub>の出力端子）の一方に接続されている。ハイレベルのリセット信号は、トランジスタQ<sub>B1</sub>の他方のコレクタ（Q出力端子）から取り出される。

【0028】ゲートG<sub>11</sub>について考えると、ゲートG<sub>11</sub>の入力端子がオープン又は0.6V以上の“H”的場合は、トランジスタQ<sub>A1</sub>から電流I<sub>101</sub>がトランジスタQ<sub>B1</sub>にベース電流として供給されて、トランジスタQ<sub>B1</sub>がオンとなる。このとき、トランジスタQ<sub>B1</sub>のコレクタ（ゲートG<sub>11</sub>の出力端子）は、ほぼ0Vの“L”となる。

【0029】ゲートG<sub>11</sub>の入力電圧が0V（“L”）の場合は、トランジスタQ<sub>B1</sub>がオフとなる。このとき、トランジスタQ<sub>B1</sub>のコレクタ（ゲートG<sub>11</sub>の出力端子）は、約0.6Vの“H”となる。ゲートG<sub>12</sub>も、ゲートG<sub>11</sub>と同様にインバータとして動作する。

【0030】次に、図2のリセット回路の動作について説明する。図3は、図2の回路で電源オン時と電源オフ時に生成されるリセットパルス説明図を示す。なお、リセット回路のQ出力端子（ゲートG<sub>11</sub>の出力端子）は、リセット信号を供給すべきI<sup>2</sup> Lのインバータの入力端子に接続されているものとする。

【0031】先ず、電源オン時について考える。電源がオンされると、電源電圧V<sub>cc</sub>は、図3の波形W<sub>1</sub>に示すように時間とともに上昇してゆく。V<sub>cc</sub>=0.6V（第1のレベル）に達すると、ゲートG<sub>11</sub>、G<sub>12</sub>とその他のゲートのインジエクタ用トランジスタQ<sub>A1</sub>、Q<sub>A2</sub>等の電流I<sub>101</sub>が流れ始める。この時点では、トランジスタQ<sub>1</sub>はオフのままである。

【0032】このとき、RSフリップフロップ2を構成するトランジスタQ<sub>B1</sub>、Q<sub>B2</sub>の状態は、後述するように、トランジスタQ<sub>B1</sub>がオフとなり、トランジスタQ<sub>B2</sub>がオンとなり、リセット回路のQ出力端子の電圧は、“H”となる。以下に、V<sub>cc</sub>=0.6Vに達した時点で、トランジスタQ<sub>B1</sub>がオフで、トランジスタQ<sub>B2</sub>がオンの状態が、どのようにして決まるかについて説明する。

【0033】電源オン後のトランジスタQ<sub>B1</sub>、Q<sub>B2</sub>のベース電流とコレクタ電流を夫々I<sub>B1</sub>、I<sub>C1</sub>、I<sub>B2</sub>、I<sub>C2</sub>とすると、トランジスタQ<sub>A1</sub>のコレクタとトランジスタQ<sub>B1</sub>のベースの接続点（点P<sub>1</sub>）と、トランジスタQ

$I_{B2}$  のコレクタとトランジスタ  $Q_{B2}$  のベースの接続点 (点

$P_2$ ) において、下記(1), (2) 式の関係が成立す\*

$$\text{点 } P_1 : I_{i_{101}} = i_{B1} + i_{C2}$$

$$\text{点 } P_2 : I_{i_{101}} = i_{B2} + i_{C1}$$

ここで、トランジスタ  $Q_{B1}$ ,  $Q_{B2}$  において、ベース電流に対する一つのコレクタ電流の電流増幅率を  $\beta \mu$  ( $I_{i_{101}}$ ) とする。

【0035】トランジスタ  $Q_{B2}$  のベース (ゲート  $G_{12}$  の入力端子) には、トランジスタ  $Q_{B1}$  のコレクタの一つが※

$$i_{C1} = \beta \mu (I_{i_{101}}) \cdot i_{B1}$$

$$i_{C2} = n \cdot \beta \mu (I_{i_{101}}) \cdot i_{B2}$$

前記(1), (4) 式より、下記(5) 式が成立し、前記(2), (3) 式より、下記(6) 式が成立する。★

$$I_{i_{101}} = i_{B1} + n \cdot \beta \mu (I_{i_{101}}) \cdot i_{B2} \quad (5)$$

$$I_{i_{101}} = i_{B2} + \beta \mu (I_{i_{101}}) \cdot i_{B1} \quad (6)$$

前記(5), (6) 式より、下記(7), (8) 式が成立する。

$$i_{B1} = (1 - n \cdot \beta \mu (I_{i_{101}})) \cdot I_{i_{101}} / (1 - n \cdot \beta \mu^2 (I_{i_{101}})) \quad (7)$$

$$i_{B2} = (1 - \beta \mu (I_{i_{101}})) \cdot I_{i_{101}} / (1 - n \cdot \beta \mu^2 (I_{i_{101}})) \quad (8)$$

電源オンの後  $V_{cc} = 0$ , 6 V に達した時点での、RS フリップフロップ 2 の初期状態 (即ち、トランジスタ  $Q_{B1}$ ,  $Q_{B2}$  の何れがオンするか) は、電流  $I_{i_{101}}$  に応じて変化するよるトランジスタ  $Q_{B1}$ ,  $Q_{B2}$  のベース電流  $i_{B1}$ ,  $i_{B2}$  の大小で決まる。

【0038】図 4 は、 $I_{i_{101}}$  と  $\beta \mu (I_{i_{101}})$  の関係を示し、図 5 は、 $I_{i_{101}}$  と  $i_{B1}$ ,  $i_{B2}$  の関係を示す。 $\beta \mu (I_{i_{101}})$  は、図 4 に示すように電流  $I_{i_{101}}$  に対する依存性を持っている。電源オン後、電源電圧  $V_{cc}$  が上昇して  $V_{cc} = 0$ , 6 V に達する直前から  $I_{i_{101}}$  が 0 より増加し、これに伴い  $\beta \mu (I_{i_{101}})$  が増加する。

【0039】電源電圧  $V_{cc}$  が規定電圧  $V_{cc0}$  (例えば、9 V) に達したときの  $I_{i_{1010}}$  の値は、抵抗  $R_{A1}$ ,  $R_{A2}$  により所定値に設定されている。 $I_{i_{101}} = I_{i_{1010}}$  のとき、 $\beta \mu (I_{i_{101}}) = \beta \mu (I_{i_{1010}})$  となる。例えば、 $I_{i_{1010}} = 5 \mu A$ ,  $\beta \mu (I_{i_{1010}}) = 5$  に設定される。

【0040】ここで、 $\beta \mu (I_{i_{101}}) = 1 / \sqrt{n}$  のときの、電流  $I_{i_{101}}$  の値を  $I_{i_{101*}}$  とすると、前記(7), (8) 式より、図 5 に示すように、 $0 < I_{i_{101}} < I_{i_{101*}}$ 。で、常に、 $i_{B2} > i_{B1}$  となる。従って、 $I_{i_{101}}$  が  $I_{i_{101*}}$  に達するまでには、トランジスタ  $Q_{B2}$  がオンでトランジスタ  $Q_{B1}$  がオフとなり、RS フリップフロップ 2 の状態が決定される。

【0041】 $I_{i_{101}} \geq I_{i_{101*}}$  では、すでにトランジスタ  $Q_{B2}$  が饱和し、トランジスタ  $Q_{B1}$  が完全にオフであり、 $i_{B2} = I_{i_{101}}$ ,  $i_{B1} = 0$  となるため、ゲート  $G_{11}$ ,  $G_{12}$  の入力電圧に変化がない限り、RS フリップフロップ 2 の状態に変化は生じない。上記のように電源電圧  $V_{cc} = 0$ , 6 V に達した時点で、トランジスタ  $Q_{B1}$  がオフで、トランジスタ  $Q_{B2}$  がオンとなり、リセット回路の Q 出力

\* する。

【0034】

(1)

(2)

※接続されており、トランジスタ  $Q_{B1}$  のベース (ゲート  $G_{11}$  の入力端子) には、トランジスタ  $Q_{B2}$  の 3 つのコレクタが接続されているため、下記(3), (4) 式が成立する。ここで、図 2 の例では、 $n = 3$  である。

【0036】

(3)

(4)

★ 【0037】

★

(5)

(6)

前記(5), (6) 式より、下記(7), (8) 式が成立する。

$i_{B1} = (1 - n \cdot \beta \mu (I_{i_{101}})) \cdot I_{i_{101}} / (1 - n \cdot \beta \mu^2 (I_{i_{101}}))$

(7)

$i_{B2} = (1 - \beta \mu (I_{i_{101}})) \cdot I_{i_{101}} / (1 - n \cdot \beta \mu^2 (I_{i_{101}}))$

(8)

端子の電圧は、“H”となる。リセット回路の Q 出力端子は、リセットすべき後段の  $I^2 L$  のゲートの入力端子に接続されており、“H”の電圧は、約 0, 6 V となる。

【0042】この後、電源電圧  $V_{cc}$  は、更に上昇するが、リセットパルスの “H” の電圧は、0, 6 V を維持する。電源電圧  $V_{cc}$  が、 $V_{cc} = ((R_1 + R_2) / R_2) \times 0, 6 V$  (第 2 のレベル) に達すると、レベル検出回路 1 のトランジスタ  $Q_1$  がオンとなり、ゲート  $G_{12}$  の入力端子 (リセット端子  $R^*$ ) の電圧がほぼ 0 V の “L” となる。このとき、トランジスタ  $Q_{B2}$  がオンからオフになり、 $i_{C2} = 0$  となる。これにより、ゲート  $G_{11}$  のトランジスタ  $Q_{B1}$  がオフからオンになり、リセット回路の Q 出力端子の電圧は、“H” から “L” のほぼ 0 V となる。また同時に、 $i_{C1} > 0$  となる。

【0043】上記のように、電源オン時のリセットパルスは、図 3 の波形  $W_5$  に示す方形波となる。次に、電源オフ時について考える。電源がオフされると、電源電圧  $V_{cc}$  は、図 3 の波形  $W_2$  に示すように時間とともに下降していく。電源電圧  $V_{cc}$  が、 $V_{cc} = ((R_1 + R_2) / R_2) \times 0, 6 V$  に達すると、レベル検出回路 1 のトランジスタ  $Q_1$  がオフとなる。しかし、トランジスタ  $Q_{B1}$  がオンであり、 $i_{C1} = I_{i_{101}}$  となるため、トランジスタ  $Q_{B2}$  はオフの状態を維持し、トランジスタ  $Q_{B1}$  はオンの状態を維持する。従って、Q 出力端子の電圧は、“L” のままである。

【0044】電源電圧  $V_{cc}$  が、更に、 $V_{cc} = 0, 6 V$  まで下降すると、ゲート  $G_{11}$ ,  $G_{12}$  とその他のゲートのインジクタ用トランジスタ  $Q_{A1}$ ,  $Q_{A2}$  等の電流  $I_{i_{101}}$  が 0 となり、各ゲートのインバータ用トランジスタ  $Q_{B1}$ ,

$Q_{B2}$  等はオフとなる。この際、Q出力端子の電圧は、“L”の状態を維持する。

【0045】このように、図2のリセット回路は、電源オフ時には、リセットパルスを生成しない。上記のように本実施例のリセット回路では、電源オン時にのみリセットパルスを生成して、電源オフ時にはリセットパルスを生成しない。このため、電源オフ時のリセットで不都合が生じる回路に適用すると、不必要なリセットによるノイズ等が発生する問題を解消することができる。

【0046】例えば、ビデオ信号等を切り換えるアナログスイッチ回路と  $I^2\text{L}$  のデジタル回路とが同一チップ上に構成されており、デジタル回路内のフリップフロップの出力データによりアナログスイッチ回路の状態を制御するビデオスイッチICがある。なお、デジタル回路内のフリップフロップ等の各種回路は、 $I^2\text{L}$  のインバータを組み合わせて構成することができる。

【0047】このようなビデオスイッチIC内のリセット回路に本実施例のリセット回路を使用した場合、電源オン時には、正常にフリップフロップ等をリセットでき、電源オフ時には、フリップフロップ等をリセットしないため、完全に動作停止するまでアナログスイッチ回路の状態が切り換わることがなく、ノイズが発生する問題を解消することができる。また、ビデオスイッチICのアナログスイッチ回路にて、ビデオ信号に加えて音声信号の切り換えも行う構成の場合には、音声ノイズの発生を防ぐこともできる。

【0048】なお、上記のようにデジタル回路内にフリップフロップを持つ、 $I^2\text{L}$  のゲートを用いたビデオスイッチICとしては、1本のクロック線と1本のシリアルデータ線により外部より制御することができる  $I^2\text{C}$  (Inter IC) 制御方式のものがある。

【0049】また、本実施例では、同一特性のインジエクタ用トランジスタ  $Q_{A1}$ 、 $Q_{A2}$  と同一特性のインバータ用トランジスタ  $Q_{B1}$ 、 $Q_{B2}$  を用いて、インバータ用トランジスタ  $Q_{B1}$  の一つのコレクタをインバータ用トランジスタ  $Q_{B2}$  のベースに接続し、インバータ用トランジスタ  $Q_{B2}$  の複数のコレクタをインバータ用トランジスタ  $Q_{B1}$  のベースに共通接続した簡単な回路で、電源投入時にリセット信号を生成する状態となるRSフリップフロップ

2を構成することができる。このため、電源投入時のみリセット信号を生成するリセット回路を容易に構成することができる。

【0050】

【発明の効果】上述の如く、請求項1の発明によれば、電源投入時にのみリセット信号を生成し、電源断時にはリセット信号を生成しないため、電源断時のリセットで不都合が生じる回路に適用した場合に、不必要なリセットによるノイズ等が発生する問題を解消することができる。

【0051】請求項2の発明によれば、同一特性の第1及び第2の電流注入用トランジスタと同一特性の第1及び第2の反転用トランジスタ等からなる簡単な回路で、電源投入時にリセット信号を生成する状態となるRSフリップフロップを構成することができるため、電源投入時にのみリセット信号を生成するリセット回路を容易に構成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の  $I^2\text{L}$  で構成したリセット回路の回路図である。

【図2】図1のゲート  $G_{11}$ 、 $G_{12}$  の内部をトランジスタのレベルに展開した回路図である。

【図3】図2の回路で電源オン時と電源オフ時に生成されるリセットパルスの説明図である。

【図4】 $I_{inJ}$  と  $\beta\mu$  ( $I_{inJ}$ ) の関係を示す図である。

【図5】 $I_{inJ}$  と  $i_{B1}$ 、 $i_{B2}$  の関係を示す図である。

【図6】 $I^2\text{L}$  で構成した従来の一例のリセット回路の回路図である。

【図7】 $I^2\text{L}$  のインバータの回路図である。

【図8】図6の回路で電源オン時と電源オフ時に生成されるリセットパルスの説明図である。

【符号の説明】

1 レベル検出回路

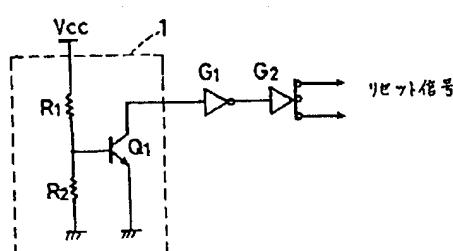
2 RSフリップフロップ

$G_{11}$ 、 $G_{12}$  ゲート(インバータ)

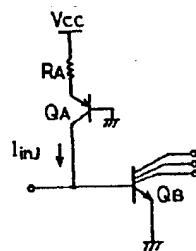
$Q_{A1}$ 、 $Q_{A2}$  インジエクタ用トランジスタ

$Q_{B1}$ 、 $Q_{B2}$  インバータ用トランジスタ

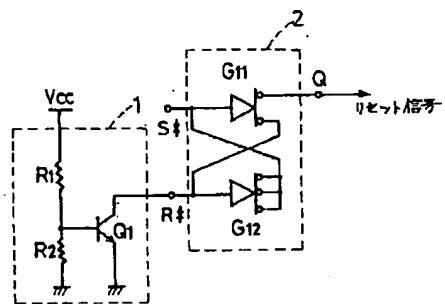
【図6】



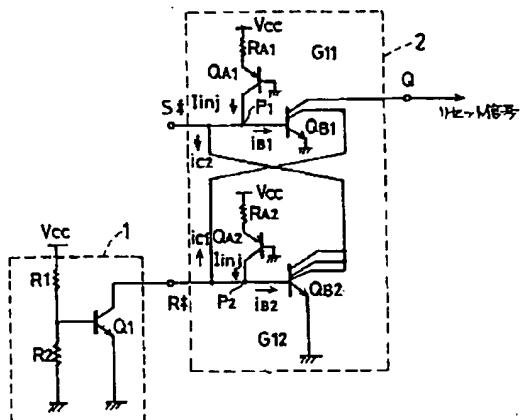
【図7】



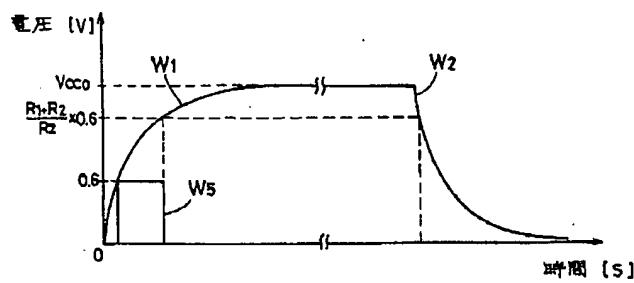
【図1】



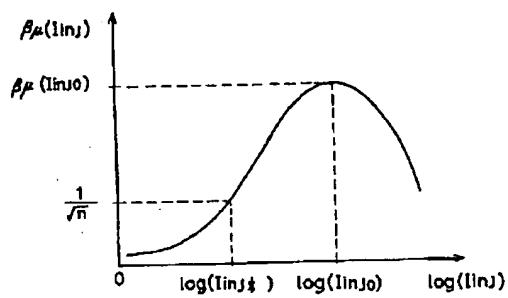
【図2】



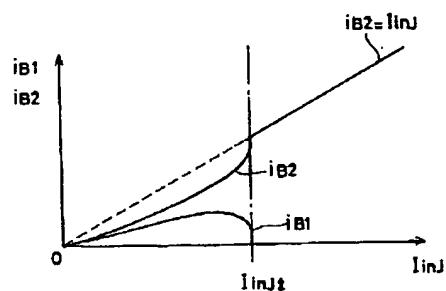
【図3】



【図4】



【図5】



【図8】

